

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020038044 A
 (43)Date of publication of application: 23.05.2002

(21)Application number: 1020000068093
 (22)Date of filing: 16.11.2000

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
 (72)Inventor: CHO, MYEON GYU

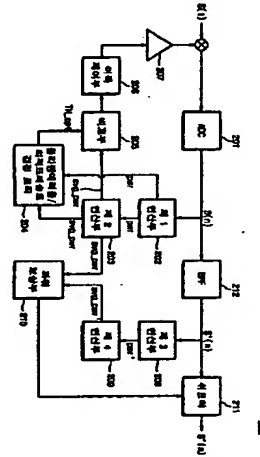
(51)Int. Cl H04B 3/04

(54) AGC CIRCUIT FOR SECURING POWER OF RECEIVING SIGNAL

(57) Abstract:

PURPOSE: An AGC(Automatic Gain Control) circuit for securing a power of a receiving signal is provided to prevent a clipping irrespective of a PAR(Peak to Average Ratio) characteristic of receiving data and a characteristic of a channel.

CONSTITUTION: An ADC(Analog to Digital Converter)(201) converts an inputted analog signal into a digital signal. The first arithmetic unit(202) obtains a power of the digital signal. The second arithmetic unit(203) obtains a mean to the power. A clipping error rate/optimum threshold determining logic(204) responds to the power and the mean power obtained the first and second arithmetic units(202,203) and determines a clipping error rate of the ADC (201) and a threshold. A comparing unit(205) compares the mean power from the second arithmetic unit (203) with the threshold. A gain control unit(206) increases or decreases the gain of an analog amplifier (207) according to the compared result from the comparing unit(205). The third arithmetic unit(208) obtains a power of a signal filtered in a BPF(Band Pass Filter)(212). The fourth arithmetic unit(209) obtains a mean to the power. A power compensating unit(210) compares the mean power to the signal before filtering transmitted from the second and fourth arithmetic units(203,209) with the mean power of the filtered signal, and generates a control signal for compensating the power. A shifter(211) responds to the control signal generated in the power compensating unit(210) and enhances the power of the signal filtered in the BPF(212).



© KIPO 2002

Legal Status

Final disposal of an application (application)

AL

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷

(11) 공개번호 특2002-0038044

H04B 3/04

(43) 공개일자 2002년05월23일

(21) 출원번호 10-2000-0068093

(22) 출원일자 2000년11월16일

(71) 출원인 삼성전자 주식회사 윤종용

경기 수원시 팔달구 매탄3동 416

(72) 발명자 조면규

경기도용인시기흥읍농소리산24번지

(74) 대리인 임창현, 권혁수

심사청구 : 없음

(54) 수신 신호의 파워 보장을 위한 자동 이득 조정 회로

요약

여기에 개시된 수신 신호의 파워 보장을 위한 자동 이득 조정 회로는, 주어진 이득에 따라 증폭률을 달리 하는 증폭 수단, 수신 신호의 최대 파워와 평균 파워의 비율을 고려한 자동 이득 조정 드레슬드를 결정하며 상기 증폭 수단의 상기 이득을 자동으로 제어하기 위한 자동 이득 제어 수단, 상기 증폭 수단을 통해 증폭된 신호 중 원하는 주파수 대역만을 추출해내기 위한 대역 통과 필터, 그리고 상기 대역 통과 필터를 통해 필터링 된 이후 감소된 상기 신호의 파워를 보상해주기 위한 파워 보상 수단을 포함한다. 이와 같은 구성에 의해서, 본 발명에 의한 자동 이득 조정 회로는, 채널을 거쳐 수신된 DMT(Discrete Multi-Tone) 신호를 아날로그-디지털 컨버터에서 클리핑이 일어나지 않는 한도 내에서 최대한 증폭시켜 준다. 그리고, 아날로그-디지털 컨버터를 거쳐 신호에 대해 대역 통과 필터링을 수행하는 경우, 대역 통과 필터의 앞단과 뒷단 사이의 파워 차이(즉, 대역 통과 필터링에 의한 이득 감소)를 보상함으로써, 수신 신호의 파워를 최대한 보장한다.

도표도

도2

명세서

도면의 간단한 설명

도 1은 일반적인 자동 이득 조정 회로의 구조를 보여주기 위한 블록도;

도 2는 본 발명에 의한 자동 이득 조정 회로의 구조를 보여주기 위한 블록도; 그리고

도 3은 도 2에 도시된 비교부가 최적 드레슬드를 이용하여 수행하는 비교 동작을 설명하기 위한 도면이다.

도면의 주요 부분에 대한 부호의 설명

201 : ADC202 : 제 1 연산부

203 : 제 2 연산부204 : 클리핑 메러울/최적 드레슬드 결정 로직

205 : 비교부206 : 이득 제어부

207 : 아날로그 앰프208 : 제 3 연산부

209 : 제 4 연산부210 : ADC

211 : 서프터212 : 대역 통과 필터(BPF)

발명의 상세한 설명

발명의 목적

발명에 속하는 기술 및 그 분야의 종래기술

본 발명은 통신 시스템에 관한 것으로, 좀 더 구체적으로는 ADSL(Asymmetric Digital Subscriber Line : 비대칭 디지털가입자회선) 또는 UADSL(Universal ADSL)과 같은 고속 데이터 통신 수신기를 위한 자동 이득 조정 회로에 관한 것이다.

AGC란 Automatic Gain Control의 약자로, 자동 이득조정을 말한다. 이는, 규정을 오버한 강한 레벨의 신

호가 입력되면 게인(앰프의 증폭도)을 제어하여 신호 포화를 막고, 약한 신호의 경우는 규정 레벨까지 올려서 항상 일정한 레벨을 유지하는 기능을 수행한다. 이와 같은 기능을 수행하는 자동 이득 조정 회로는 1995년 9월 19일, Jekeli에 의해 취득된 미국 특허(U.S. Pat. No. 5,451,948), 'APPARATUS AND METHOD FOR COMBINING ANALOG AND DIGITAL AUTOMATIC GAIN CONTROL IN RECEIVERS WITH DIGITAL SIGNAL PROCESSING' 과, 1996년 4월 9일, Suganuma 등에 의해 취득된 미국 특허(U.S. Pat. No. 5,507,023), 'RECEIVER WITH AN AGC CIRCUIT CAPABLE OF EXPANDING A DYNAMIC RANGE', 그리고 1999년 12월 7일, Ha 등에 의해 취득된 미국 특허(U.S. Pat. No. 5,999,578), 'AUTOMATIC GAIN CONTROL CIRCUIT OF RADIO RECEIVER' 등에 개시되어 있다.

도 1은 일반적인 자동 이득 조정 회로(Automatic Gain Control circuit; 100)의 구조를 보여주기 위한 블록도이다. 도면을 참조하면, 일반적으로 사용되는 자동 이득 조정 회로(100)는 아날로그-디지털 컨버터(analog to digital convertor; ADC)(101), 제 1 연산부(102), 제 2 연산부(103), 비교부(104), 이득 제어부(105), 아날로그 앰프(analog amplifier; 106), 그리고 대역 통과 필터(band pass filter; BPF)(107)로 구성된다. 상기와 같은 구조를 가지는 자동 이득 조정 회로(100)의 동작은 다음과 같다.

먼저, 채널을 거쳐 수신된 아날로그 신호(analog signal; S(t))는 아날로그-디지털 컨버터(101)를 거쳐 디지털 신호(digital signal; s(n))로 변환된다. 여기서, 256개의 데이터로 구성되는 하나의 DMT(Discrete Multi-Tone) 심볼(symbol)은 제 1 연산부(102)를 통해 각각의 절대값이 구해진다. 그리고, 제 1 연산부(102)를 통해 얻어진 연산 결과는 제 2 연산부(103)로 입력되며, 매 DMT 심볼에 대한 평균이 구해진다. 이어서, 제 2 연산부(103)에서 구해진 연산 결과는 비교부(104)로 입력되어 미리 정해져 있는 드레슬드(threshold; TH) 값과 비교된다. 비교 결과, 상기 연산 결과가 드레슬드 값(TH)보다 높으면 -1의 값을 가지는 비교 신호가 출력되고, 상기 연산 결과가 드레슬드 값(TH)보다 낮으면 +1의 값을 가지는 비교 신호가 출력된다. 여기서, 상기 드레슬드 값(TH)은 실험에 의해 적당한 값으로 결정되며, 이득 제어부(105)는 비교부(104)로부터 출력된 -1 또는 +1 값의 비교 신호에 응답해서 아날로그-디지털 컨버터(101) 전단에 구비된 아날로그 앰프(106)의 이득 값을 조절한다. 즉, 상기 이득 제어부(105)는 아날로그 앰프(106)의 이득 값을 조절함에 의해서 자동 이득 조정 회로(100)의 이득 단계(gain step) 만큼을 증가시키거나 또는 감소시킨다. 여기서, 증폭기(106)에 의해 자동 이득 조정 회로(100)에 곱해지게 되는 이득 값은 아래 [수학식 1]과 같다.

[수학식 1]

$$gain_{n+1} = gain_n + gain_{step} * sign_n$$

여기서, $gain_n$ 은 현재의 이득을, $gain_{step}$ 은 자동 이득 조정 회로(100)의 이득 단계(gain step)를, $sign_n$ 은 현재 발생된 비교 신호를, 그리고 $gain_{n+1}$ 은 자동 이득 조정 회로(100)에 의해 조정된 이득을 각각 나타낸다. [수학식 1]에 의하면, 수신된 신호가 원하는 레벨에 수렴하더라도 이득 값이 계속해서 증가 또는 감소하게 되는 특성을 가진다.

앞에서 설명한 바와 같이, 일반적인 자동 이득 조정 회로(100)는 수신된 데이터의 절대치를 취하여 평균을 낸 후, 이것을 이용하여 수신 신호가 일정한 레벨을 유지할 수 있도록 아날로그-디지털 컨버터(101) 앞단에 있는 아날로그 앰프(106)의 이득 값을 조정하는 방법을 사용하고 있다.

그러나, 이와 같은 방법은, PAR(Peak to Average Ratio) 값이 서로 다른 데이터를 연속으로 사용하는 통신 시스템에서 채널의 길이가 변함에 따라 PAR 값이 증가하는 경우, 원하는 수신 레벨을 결정하는데 쓰이는 최적의 드레슬드 값을 정확하게 구할 수가 없기 때문에, 아날로그-디지털 컨버터(101)에서 클리핑(clipping)이 발생하게 되고, 이에 따라 수신 신호의 최대 파워(power)가 보장되지 않는 문제점을 가지고 있다. 그 결과, 시스템의 성능(performance)에는 많은 손실이 발생하게 된다.

일반적으로, 비대칭 디지털가입자회선이라 불리는 ADSL(Asymmetric Digital Subscriber Line) 시스템, 또는 UADSL(Universal ADSL) 시스템은 통신을 준비하는 과정인 초기화(initialization) 과정과, 실제 통신을 수행하는 과정인 쇼우 타임(show time) 과정으로 구성된다.

ADSL 또는 UADSL 시스템을 위한 자동 이득 조정 회로는, 일반적으로 초기화 신호(reverb signal)를 이용하여 초기화 과정 중에 단 한번만 자동 이득 조정 회로의 이득을 조절하고, 결정된 이득 값을 쇼우 타임(show time) 과정까지 그대로 적용한다. 그러나 초기화 과정에 쓰이는 음향 데이터(reverb data)와 쇼우 타임 과정에 사용되는 데이터는 서로 PAR 값이 다르기(즉, 쇼우 타임 데이터의 PAR 값이 음향 데이터에 사용되는 PAR 보다 7dB 더 크다) 때문에, 초기화 과정에서 결정된 드레슬드 값을 쇼우 타임 과정에서 그대로 사용하게 되면 아날로그-디지털 컨버터에서 클리핑(clipping)이 발생하게 되는 문제가 발생한다. 따라서, 따라서, ADSL 또는 UADSL과 같은 고속 데이터 통신에서 수신 데이터의 PAR특성과 채널의 특성에 관계없이 클리핑을 유발하지 않음으로써, 수신 신호의 최대 파워를 보장할 수 있는 자동 이득 조정 회로가 요구된다.

그리고, 통신 시스템의 수신단은, 자동 이득 조정 회로(100)에 의해 이득(gain)이 증가되어 들어오는 디지털 신호의 원하는 주파수 성분만을 취하기 위하여, 도면에 도시된 바와 같이 대역 통과 필터(BPF)(107)를 통한 필터링을 수행한다. 그러나, 필터링된 신호(s'(n))는 주파수에 따라서 갑자기 파워가 감소되는 현상이 발생하곤 한다. 이와 같은 현상은 아날로그-디지털 컨버터(101)의 앞 단(즉, 아날로그 앰프(106))에서 수행되는 자동 이득 제어 효과를 상쇄하는 작용을 한다. 따라서, 필터링된 신호의 파워를 안전하게 보상할 수 있는 자동 이득 조정 회로가 요구된다.

본 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 수신 데이터의 PAR특성과 채널의 특성에 관계없이 클리핑을 방지할 수 있는 자동 이득 조정 회로를 제공하는데 있다.

그리고, 본 발명의 다른 목적은 대역 통과 필터링에 의해 발생하는 파워 감소를 감지하여 이를 보상할 수

있는 자동 이득 조정 회로를 제공하는데 있다.

발명의 구성 및 작용

상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 특징에 의하면, 무선통신용 수신기를 위한 자동 이득 조정 회로는, 주어진 이득에 따라 증폭률을 달리하는 증폭 수단, 수신 신호의 최대 파워와 평균 파워의 비율을 고려한 자동 이득 조정 드레슬드를 결정하여 상기 증폭 수단의 상기 이득을 자동으로 제어하기 위한 자동 이득 제어 수단, 상기 증폭 수단을 통해 증폭된 신호 중 원하는 주파수 대역만을 추출해내기 위한 대역 통과 필터, 그리고 상기 대역 통과 필터를 통해 필터링 된 이후 감소된 상기 신호의 파워를 보상해주기 위한 파워 보상 수단을 포함한다.

바람직한 실시예에 있어서, 상기 자동 이득 제어 수단은, 외부로부터 입력되는 아날로그 신호를 디지털 신호로 변환하기 위한 아날로그-디지털 컨버터, 상기 디지털 신호의 파워를 구하기 위한 제 1 연산 수단, 상기 파워에 대한 평균을 구하기 위한 제 2 연산 수단, 상기 제 1 및 제 2 연산 수단으로부터 구해진 상기 파워 및 상기 평균 파워에 응답해서 상기 아날로그-디지털 컨버터의 클리핑 에러율 및 상기 드레슬드를 결정하기 위한 결정수단, 상기 제 2 연산 수단으로부터의 상기 평균 파워와 상기 드레슬드와의 비교를 수행하기 위한 비교 수단, 그리고 상기 비교 수단으로부터의 비교 결과에 따라서 상기 아날로그 앰프의 상기 이득을 증가 또는 감소시키기 위한 이득 제어 수단을 포함하는 것을 특징으로 한다.

바람직한 실시예에 있어서, 상기 파워 보상 수단은, 상기 대역 통과 필터를 통해 필터링 된 신호의 파워를 구하기 위한 제 3 연산 수단, 상기 파워에 대한 평균을 구하기 위한 제 4 연산 수단, 상기 제 2 연산 수단과 상기 제 4 연산 수단으로부터 전송되는 필터링 전 신호에 대한 상기 평균 파워와 필터링 된 이후 신호의 상기 평균 파워를 비교하여, 필터링 된 이후 손실된 상기 파워를 보상하기 위한 제어 신호를 발생하는 파워 보상부, 그리고 상기 파워 보상부로부터 발생하는 상기 제어 신호에 응답해서 상기 필터링 된 신호의 파워를 보상하기 위한 보상 수단을 포함하는 것을 특징으로 한다.

(실시예)

이하 본 발명에 따른 실시예를 첨부된 도면 도 2 및 도 3을 참조하여 상세히 설명한다.

본 발명의 신규한 자동 이득 조정 회로는, 채널을 거쳐 수신된 DMT(Discrete Multi-Tone) 신호를 아날로그-디지털 컨버터에서 클리핑이 일어나지 않는 한도 내에서 최대한 증폭시켜 준다. 그리고, 아날로그-디지털 컨버터를 거쳐 신호에 대해 대역 통과 필터링을 수행하는 경우, 대역 통과 필터의 앞단과 뒷단 사이의 파워 차이(즉, 대역 통과 필터링에 의한 이득 감소)를 보상함으로써, 수신 신호의 파워를 최대한 보상한다.

도 2는 본 발명에 의한 자동 이득 조정 회로(200)의 구조를 보여주기 위한 블록도이다. 도 2를 참조하면, 본 발명에 의한 자동 이득 조정 회로(200)는 입력되는 아날로그 신호(s(t))를 디지털 신호(s(n))로 변환하기 위한 아날로그-디지털 컨버터(ADC ; 201), 디지털 신호의 제곱(pwr)을 구하고, 그것의 평균(avg_pwr)을 구하기 위한 제 1 및 제 2 연산부(202, 203), 제 1 연산부(202) 및 제 2 연산부(203)의 연산 결과에 응답해서 아날로그-디지털 컨버터(201)의 클리핑 에러율(clipping error rate ; σ_{∞}) 및 자동 이득 조정을 위한 최적의 드레슬드(optimum threshold ; TH_opt)를 결정하기 위한 클리핑 에러율/최적 드레슬드 결정 로직(204), 제 2 연산부(202, 203)의 연산 결과(avg_pwr)와 상기 최적의 드레슬드(TH_opt)와의 비교를 수행하여 비교 신호를 발생하기 위한 비교부(205), 주어진 이득에 따라 증폭률을 달리하는 아날로그 앰프(207), 그리고, 상기 비교부(205)로부터의 비교 결과에 따라서 아날로그 앰프(207)의 이득을 증가 또는 감소시키기 위한 이득 제어부(206)를 포함한다.

그리고, 상기 자동 이득 조정 회로(200)는 아날로그-디지털 컨버터(201)를 통해 변환된 디지털 신호 중 원하는 주파수 대역만을 추출해내기 위한 대역 통과 필터(BPF ; 212), 대역 통과 필터(BPF ; 212)를 통해 필터링 된 신호(s'(n))의 제곱(즉, 필터링 된 신호(s'(n))의 파워 ; pwr') 및 그것의 평균(avg_pwr')을 구하기 위한 제 3 및 제 4 연산부(208, 209), 상기 제 2 연산부(203)와 제 4 연산부(209)로부터 전송되는 필터링 전 신호에 대한 평균 파워(avg_pwr)와 필터링 된 이후 신호의 평균 파워(avg_pwr')를 비교하여, 필터링 된 이후 손실된 파워를 보상하기 위한 제어 신호를 발생하는 파워 보상부(210), 그리고 파워 보상부(210)로부터 발생하는 제어 신호에 응답해서 필터링 된 신호(s'(n))의 파워를 보상하기 위한 쉬프터(shift ; 211)를 더욱 포함한다. 이와 같은 구성을 가지는 자동 이득 조정 회로(200)의 동작은 다음과 같다.

먼저, 채널을 통해 수신된 아날로그 신호(S(t))는 아날로그-디지털 컨버터(ADC ; 201)를 거쳐 디지털 신호(s(n))로 변환된다. 신호의 변환 후, 256개의 데이터로 구성되는 하나의 DMT(Discrete Multi-Tone) 심볼(symbol)은 제 1 연산부(202)를 통해 제곱 연산되며 상기 신호의 파워(power)가 구해진다. 이와 같은 연산은 10회 반복해서 수행되며, 상기 연산 결과는 제 2 연산부(203)를 통해 평균 파워(avg_pwr) 값이 구해진다. 그리고, 제 1 연산부(202)를 통해 구해진 제곱 연산의 결과(pwr)들은 클리핑 에러율/최적 드레슬드 결정 로직(204)으로 입력된다.

클리핑 에러율/최적 드레슬드 결정 로직(204)은 제 1 연산부(202) 및 제 2 연산부(203)에서 수행된 연산 결과(pwr, avg_pwr)에 응답해서 최대 파워(peak power ; peak_pwr)와 평균 파워(average power ; avg_pwr)의 비율인 PAR(Peak to Average Ratio) 값을 구한 후, 최대 PAR 값(peak-PAR)을 결정하고, 이를 수용할 수 있는 아날로그-디지털 컨버터(201)의 클리핑 에러율(σ_{∞})을 결정한다. 그리고, 결정된 클리핑 에러율(σ_{∞})을 이용하여 최적의 드레슬드(TH_opt)를 결정한다. 클리핑 에러율/최적 드레슬드 결정 로직(204)으로부터 결정된 드레슬드 값(TH_opt)은 비교부(205)로 입력되고, 비교부(205)는 상기 드레슬드 값(TH_opt)을 상위 드레슬드(TH_H)로 설정하고, 상위 드레슬드(TH_H)로부터 소정의 갭(gap)을 두고 하위 드레슬드(TH_L)를 설정한다. 그리고, 제 1 및 제 2 연산부(202, 203)를 통해 얻어진 연산 결과(즉, 신호의 평균 파워(avg_pwr))와 상기 상위 및 하위 드레슬드 값(TH_H, TH_L)을 비교하여 비교 신호를 발생한다(도 3 참조). 그리고, 이득 제어부(206)는 상기 비교 신호에 응답해서 아날로그 앰프(207)의 이

득을 조절한다. 이와 같이 조절된 이득에 의해 증폭된 아날로그 신호는 아날로그 앰프(207)로부터 다시 아날로그-디지털 컨버터(201)로 피드백 되어 입력되고, 아날로그-디지털 컨버터(201)를 통해 디지털 신호로 변환된 이후에는 앞에서 설명한 수순을 반복함에 의해서 이득을 자동으로 조절한다.

일반적으로, UADSL(UADSL: Universal Asymmetric Digital Subscriber Line)의 DMT(Discrete Multi-Tone)에서는, 인코딩(encoding)된 데이터가 역고속푸리에 변환(Inverse Fast Fourier Transform; IFFT)되어 송신되면, 이것이 채널을 거쳐 수신단에 도달하게 된다. ADSL 또는 UADSL 시스템의 초기화 과정에서는, AGC(Automatic Gain Control)/PLL(Phase-locked Loop)/EQ(Equalizer)등이 먼저 트레이닝(training)되고, 그 이후에 채널 추정(channel estimation)이 수행된다. 이와 같은 초기화 과정에서는, 일정한 패턴의 데이터를 이용하여 만든 초기화 신호(Reverb signal)가 사용되며, 이 때 생성된 송신측 신호의 PAR(Peak to Average Ratio)는 약 8dB의 값을 가진다. 그리고, 실제적인 정보 데이터(Information data)가 교환되는 쇼우 타임(show-time) 과정에서의 송신측 신호는 랜덤(random)한 특성을 가지고, 이 때의 PAR는 약 15dB의 값을 가지게 된다. 본 발명에서는, 이와 같은 PAR 값의 차이(예를 들면, 15dB - 8dB = 7dB)에 의해서 발생할 수 있는 아날로그-디지털 컨버터의 클리핑을 방지하기 위해서, 클리핑 에러율/최적 드레슬드 결정 로직(204)에서는 시스템과 채널의 특성을 고려하여 최대 PAR 값(peak_PAR)을 결정하고, 이를 수용할 수 있는 아날로그-디지털 컨버터(201)의 클리핑 에러율(σ_{noc})을 결정한다. 그리고, 결정된 클리핑 에러율(σ_{noc})을 이용하여 최적의 드레슬드(TH_{opt})를 결정하고, 결정된 드레슬드(TH_{opt})에 의한 자동 이득 조절을 수행한다. 예를 들어, 클리핑 에러율/최적 드레슬드 결정 로직(204)에서 계산된 최대 PAR 값(peak_PAR)이 15dB라면, 확률적으로 기대되는 에러 확률($P_{\text{err}}(t)$)은 아래 [수학식 2]와 같이 e^{-1} 이 된다.

[수학식 2]

$$\text{peak_PAR} - 20 \cdot \log_{10} \frac{\text{peak_pwr}}{\text{avg_pwr}} - 15\text{dB} \quad \text{이면,}$$

$$\frac{\text{peak_pwr}}{\text{avg_pwr}} - 10^{15/20} = 5.62 \cdot \sigma \quad \text{이고,}$$

$$P_{\text{err}}(x) = P(x > 5.62\sigma) = 2 \cdot Q(5.62) = \int_x^{\infty} \frac{1}{\sqrt{2\pi}} \exp\left(-\frac{x^2}{2\sigma^2}\right) dx \approx e^{-1} \quad \text{이다.}$$

이와 같은 에러 확률($P_{\text{err}}(t)$)을 보장하는 아날로그-디지털 컨버터(201) 앞단의 표준편차 값(standard deviation; σ)은 다음과 같다.

[수학식 3]

$$5.62\sigma = 1, \quad \sigma = \frac{1}{5.62}$$

역고속푸리에 변환(IFTT)을 거친 데이터는 가우시안 분포(Gaussian distribution)를 갖는다. 그러나, 모든 아날로그-디지털 컨버터의 제어는 디지털 데이터로 이루어지므로, 상기 데이터가 예를 들어 16-비트 아날로그-디지털 컨버터를 거쳐게 되면, 이 때의 아날로그-디지털 컨버터의 클리핑 에러율(σ_{noc})은 아래 [수학식 4]와 같이 된다.

[수학식 4]

$$\sigma_{\text{noc}} = 2^{15} \cdot \frac{1}{5.62} \approx 5830$$

본 발명에 의한 자동 이득 조절 회로(200)는, 상기와 같이 구해진 클리핑 에러율(σ_{noc})을 만족하도록 자동 이득 조절을 수행한다. 이와 같이 본 발명에 의한 자동 이득 조절 회로(200)는 수신된 데이터의 제공의 평균(즉, 분산(variance))을 입력으로 하여 자동 이득 조절을 수행하기 때문에, 최적 드레슬드 값(TH_{opt})은 클리핑 에러율(σ_{noc})을 제곱함에 의해서 구해진다. 따라서, 이 때의 최적 드레슬드 값(TH_{opt})은 상기 클리핑 에러율(σ_{noc})의 제곱인 33996000이 된다.

앞에서 설명한 바와 같이, 본 발명에 의한 자동 이득 조절 회로(200)는 자동 이득 제어를 수행함에 있어서 수신된 신호의 제공 값을 사용하기 때문에, 수신 신호의 분산을 구해서 사용하는 것과 같은 효과를 나타낸다. 따라서, 채널이 바뀌거나 송신 데이터의 PAR 특성이 바뀌어도 이들에 대한 영향을 거의 받지 않는 장점이 있다.

그러나, 쇼우 타임 과정의 PAR 값은 초기화 과정의 PAR 값 보다 크기 때문에, 긴 채널의 경우 초기화 과정에서 결정된 이득 값을 쇼우 타임 과정에 그대로 적용하게 되면 클리핑 에러가 발생할 수 있다. 따라서, 본 발명에 의한 자동 이득 조절 회로(200)는 앞에서 설명한 방법에 의해 초기화 과정에서 수신된 초기 데이터(Reverb data)에 대한 PAR(peak_PAR)를 구하고, 이 최대 PAR(peak_PAR) 값에 초기화 과정의 PAR와 쇼우 타임 과정의 PAR의 차이(예를 들면, 15dB - 8dB = 7dB)를 더하여 최적 드레슬드(TH_{opt})를 구함으로써 자동 이득 조절을 수행한다. 그 결과, 초기화 과정은 물론 쇼우 타임 과정에서도 클리핑이 일어나지 않는 안정한 이득(gain)을 얻을 수 있다.

도 3은 도 2에 도시된 비교부(205)가 최적 드레슬드(TH_{opt})를 이용하여 수행하는 비교 동작을 설명하기 위한 도면이다. 앞에서 설명한 바와 같이, 클리핑 에러율/최적 드레슬드 결정 로직(204)으로부터 결정된 드레슬드 값(TH_{opt})은 비교부(205)로 입력되고, 비교부(205)는 상기 드레슬드 값(TH_{opt})을 상위 드레슬드(TH_{H})로 설정하고, 상위 드레슬드(TH_{H})로부터 소정의 갭(gap)을 두고 하위 드레슬드(TH_{L})를 설정한다. 그리고, 제 1 및 제 2 연산부(202, 203)를 통해 얻어진 연산 결과(즉, 신호의 평균 파워(avg_pwr))와

상기 상위 및 하위 드레슬드 값(TH_H , RH_L)을 비교하여 비교 신호를 발생한다.

도 3에 도시된 바와 같이, 제 1 및 제 2 연산부(202, 203)를 통해 얻어진 신호의 평균 파워(avg_pwr)와 상기 상위 및 하위 드레슬드 값들(TH_H , RH_L)과의 비교 결과, 평균 파워(avg_pwr)가 상위 드레슬드 값(TH_H) 보다 크면(즉, $avg_pwr > TH_H$) -1의 값을 가지는 비교 신호를, 평균 파워(avg_pwr)가 하위 드레슬드 값(TH_L) 보다 작으면(즉, $avg_pwr < TH_H$) +1의 값을 가지는 비교 신호를, 그리고 평균 파워(avg_pwr)가 상위 및 하위 드레슬드 값 사이에 존재하면(즉, $TH_L < avg_pwr < TH_H$) 0의 값을 가지는 비교 신호를 각각 발생한다. 여기서, -1의 값은 이득을 한 단계 감소시키는 것을, +1의 값은 이득을 한 단계 증가시키는 것을, 그리고 0의 값은 이득을 변화시키지 않는 것을 각각 의미한다.

이와 같이, 본 발명에 의한 자동 이득 조정 회로(200)에 구비된 비교부(205)에서는 이득의 단계를 고려한 소정의 갭(gap)을 둔다. 따라서, 수신된 신호의 평균 파워가 원하는 레벨에 도달하기만 하면 변동(fluctuation)이 일어나지 않게 되며, 상기 시스템의 초기화 과정을 정확하게 수행할 수 있게 된다. 여기서, 상기 갭(gap)을 구하는 방법은 하위 드레슬드(TH_L)를 최적 드레슬드(TH_{opt})인 상위 드레슬드(TH_H)로부터 3 단계의 기본 이득만큼 거리를 두도록 설정하는 것이다. 따라서, 예를 들어, 기본 이득 단계(gain_step)가 0.25dB이면, 상기 갭(gap)은 $TH_H - TH_L / 10^{0.25 \times 3 / 20}$ 이 된다.

다시 도 2를 참조하면, 아날로그-디지털 컨버터(201)를 통해 변환된 디지털 신호($s(n)$)는 원하는 주파수 대역만을 추출해 내기 위해 대역 통과 필터(212)를 통해 필터링 된다. 그러나, 일반적으로 대역 통과 필터링을 수행하게 되면, 원하지 않던 주파수 성분이 없어지면서 필터링 된 신호($S'(n)$)의 파워가 감소하게 되는 경우가 발생하게 되며, 이는 자동 이득 조정 회로에 의해 조절되는 이득을 감소시키는 문제를 발생한다. 따라서, 본 발명에서는 이를 방지하고, 필터링된 신호($S'(n)$)의 감소된 파워를 보상해 주기 위한 스킴을 제공한다.

이를 위해서, 파워 보상부(210)는 대역 통과 필터(212)를 통해 필터링 된 신호($S'(n)$)와 필터링 되기 전의 신호($s(n)$)의 평균 파워를 비교하여 필터링 된 후 낮아진 파워를 보상해 준다. 즉, 아날로그 신호($s(t)$)가 아날로그-디지털 컨버터(201)를 통해 디지털 신호($s(n)$)로 변환된 후, 대역 통과 필터(212)를 통해 필터링 되면($s'(n)$), 대역 통과 필터(212)의 출력단에 연결된 제 3 연산부(208)는 필터링된 신호($s'(n)$)의 파워(pwr')를 구하고, 제 3 연산부(208)에서의 연산 결과를 받아들이는 제 4 연산부(209)에서는 상기 파워(pwr')의 평균(avg_pwr')을 구한다. 제 3 및 제 4 연산부(208, 209)를 통해 구해진 필터링 된 신호($S'(n)$)의 평균 파워(avg_pwr')는 필터링 된 신호($S'(n)$)의 파워 손실을 보상해 주기 위한 파워 보상부(210)로 입력된다. 그리고, 자동 이득 조정을 수행하기 위해서 제 1 및 제 2 연산부(202, 203)를 통해 구해진 상기 디지털 신호($s(n)$)(즉, 필터링 되기 전의 신호)의 평균 파워(avg_pwr) 역시 파워 보상부(210)로 입력된다.

파워 보상부(210)는 앞에서 설명한 바와 같은 필터링 되기 전 신호($s(n)$)의 평균 파워(avg_pwr)와 필터링 된 후 신호($s'(n)$)의 평균 파워(avg_pwr')를 비교하고, 필터링 후 손실된 파워를 보상하기 위한 제어 신호를 쉬프터(211)로 발생한다. 쉬프터(211)는 파워 보상부(210)로부터 발생된 제어 신호에 응답해서 필터링 된 후 신호($s'(n)$)의 파워를 높여주는 역할을 수행하며, 하드웨어(hardware)의 간결성을 위하여 곱셈기(multiplier) 대신 간단히 구현할 수 있는 좌 쉬프터(left shifter)로 구성된다. 상기과 같은 파워 보상에서 주의할 점은, 절대로 필터링 되기 전 신호($s(n)$)의 파워보다 필터링 된 후의 신호($s'(n)$)의 파워가 커서는 안 된다는 것이다. 왜냐하면 수신기에서 EQ 트레이닝(equalizer training)과정을 수행할 때 포화현상(saturation)이 일어날 수 있기 때문이다.

따라서, 본 발명에 의한 파워 보상 방법은 32 DMT 심볼 동안 필터링 되기 전 신호($s(n)$)의 평균 파워(avg_pwr)와 필터링 된 후 신호($s'(n)$)의 평균 파워(avg_pwr')를 비교하면서, 필터링 된 후 신호($s'(n)$)의 파워를 쉬프터(211)로 한 단계씩 증가시키면서 필터링 되기 전 신호($s(n)$)의 파워와 비교한다. 그리고, 필터링 된 후 신호($s'(n)$)의 파워가 필터링 되기 전 신호($s(n)$)의 파워를 넘어서지 않는 한도에서 최대 값이 되도록 쉬프트 값을 결정한다. 이와 같은 구성에 의해, 본 발명에 의한 자동 이득 조정 회로(200)는 대역 통과 필터링 후 감소된 파워를 보상한다. 따라서, 필터링 후 감소된 파워에 의해서 상기 자동 이득 조정 회로(200)의 이득을 감소시키는 문제를 방지할 수 있다.

이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

발명의 효과

이상과 같은 본 발명에 의하면, 수신 데이터의 PAR특성과 채널의 특성에 관계없이 클리핑을 방지할 수 있다.

그리고, 대역 통과 필터링에 의해 발생하는 파워 감소를 감지하여 이를 보상함으로써 수신 신호의 파워를 최대한 보장할 수 있다.

(57) 청구의 범위

청구항 1. 무선통신용 수신기를 위한 자동 이득 조정 회로에 있어서:

주어진 이득에 따라 증폭률을 달리하는 증폭 수단과;

수신 신호의 최대 파워와 평균 파워의 비율을 고려한 자동 이득 조정 드레슬드를 결정하여 상기 증폭 수단의 상기 이득을 자동으로 제어하기 위한 자동 이득 제어 수단과;

상기 증폭 수단을 통해 증폭된 신호 중 원하는 주파수 대역만을 추출해내기 위한 대역 통과 필터; 그리고
상기 대역 통과 필터를 통해 필터링 된 이후 감소된 상기 신호의 파워를 보상해주기 위한 파워 보상 수단

을 포함하는 것을 특징으로 하는 수신 신호의 파워 보장을 위한 자동 이득 조정 회로.

청구항 2. 제 1 항에 있어서,

상기 자동 이득 제어 수단은,

외부로부터 입력되는 아날로그 신호를 디지털 신호로 변환하기 위한 아날로그-디지털 컨버터와;

상기 디지털 신호의 파워를 구하기 위한 제 1 연산 수단과;

상기 파워에 대한 평균을 구하기 위한 제 2 연산 수단과;

상기 제 1 및 제 2 연산 수단으로부터 구해진 상기 파워 및 상기 평균 파워에 응답해서, 상기 아날로그-디지털 컨버터의 클리핑 에러율 및 상기 드레슬드를 결정하기 위한 결정수단과;

상기 제 2 연산 수단으로부터의 상기_평균 파워와 상기 드레슬드와의 비교를 수행하기 위한 비교 수단; 그리고

상기 비교 수단으로부터의 비교 결과에 따라서 상기 아날로그 앰프의 상기 이득을 증가 또는 감소시키기 위한 이득 제어 수단을 포함하는 것을 특징으로 하는 수신 신호의 파워 보장을 위한 자동 이득 조정 회로.

청구항 3. 제 2 항에 있어서,

상기 클리핑 에러율은, 상기 수신 신호의 최대 파워와 평균 파워의 비율에 대한 에러 확률을 보장할 수 있는 표준편차 값인 것을 특징으로 하는 수신 신호의 파워 보장을 위한 자동 이득 조정 회로.

청구항 4. 제 3 항에 있어서,

상기 드레슬드는, 상기 표준편차의 제곱인 것을 특징으로 하는 수신 신호의 파워 보장을 위한 자동 이득 조정 회로.

청구항 5. 제 4 항에 있어서,

상기 자동 이득 회로는 초기화를 수행하는 제 1 과정과 실제 통신을 수행하는 제 2 과정으로 구성되며,

상기 제 1 과정의 최대 파워와 평균 파워의 비율 보다 큰 최대 파워와 평균 파워의 비율을 가진 제 2 과정에서의 상기 드레슬드는, 상기 1 과정의 상기 비율에 상기 두 과정의 상기 비율의 차이를 더해준 값으로부터 상기 표준 편차를 구한 후, 구해진 상기 표준편차를 제공하여 구해지는 것을 특징으로 하는 수신 신호의 파워 보장을 위한 자동 이득 조정 회로.

청구항 6. 제 5 항에 있어서,

상기 비교 수단은, 상기 드레슬드에 응답해서 소정의 간격을 갖고 설정된 제 1 및 제 2 드레슬드와 상기 평균 파워를 비교하고,

상기 평균 파워가 상기 제 1 드레슬드 보다 높으면 제 1의 값을, 상기 평균 파워가 상기 제 1 및 제 2 드레슬드 사이에 있으면 제 2의 값을, 그리고 상기 평균 파워가 상기 제 2 드레슬드 보다 낮으면 제 3의 값을 출력하는 것을 특징으로 하는 수신 신호의 파워 보장을 위한 자동 이득 조정 회로.

청구항 7. 제 6 항에 있어서,

상기 이득 제어 수단은, 상기 비교 결과가 상기 제 1의 값을 가지는 경우 상기 아날로그 앰프의 상기 이득을 감소시키고, 상기 비교 결과가 상기 제 2의 값을 가지는 경우 상기 이득을 변동시키지 않고, 그리고 상기 비교 결과가 상기 제 3의 값을 가지는 경우 상기 이득을 증가시키는 것을 특징으로 하는 수신 신호의 파워 보장을 위한 자동 이득 조정 회로.

청구항 8. 제 2 항에 있어서,

상기 파워 보상 수단은,

상기 대역 통과 필터를 통해 필터링 된 신호의 파워를 구하기 위한 제 3 연산 수단과;

상기 파워에 대한 평균을 구하기 위한 제 4 연산 수단과;

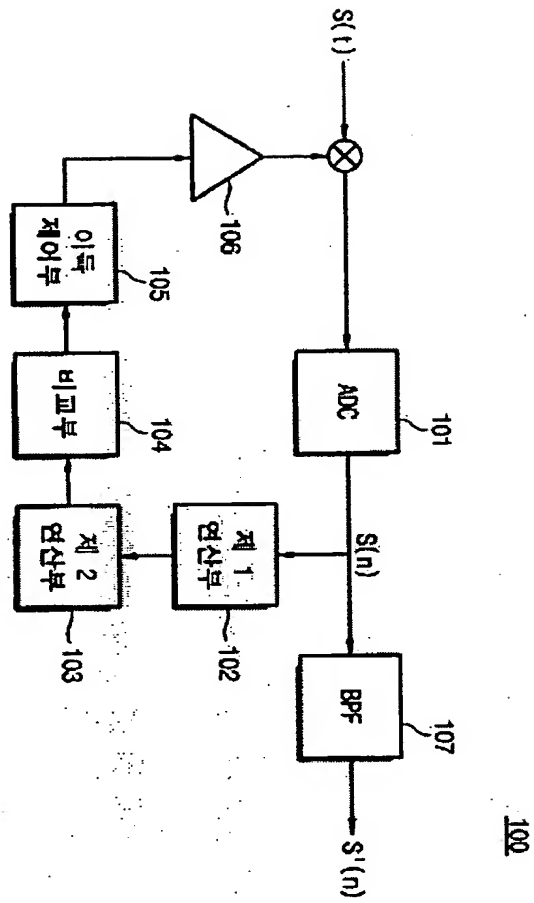
상기 제 2 연산 수단과 상기 제 4 연산 수단으로부터 전송되는 필터링 전 신호에 대한 상기 평균 파워와 필터링 된 이후 신호의 상기 평균 파워를 비교하여, 필터링 된 이후 손실된 상기 파워를 보상하기 위한 제어 신호를 발생하는 파워 보상부; 그리고

상기 파워 보상부로부터 발생하는 상기 제어 신호에 응답해서 상기 필터링 된 신호의 파워를 높여주기 위한 곱셈 수단을 포함하는 것을 특징으로 하는 수신 신호의 파워 보장을 위한 자동 이득 조정 회로.

청구항 9. 제 8 항에 있어서,

상기 곱셈 수단은 좌 쉬프터(left shifter)로 구성되는 것을 특징으로 하는 수신 신호의 파워 보장을 위한 자동 이득 조정 회로.

도면



502

